

```

*****
*
*           TECHNISCHE BESCHREIBUNG MC 80.30
*           STECKEINHEIT SPE 2   2016.00
*           Z.-NR.: 50300.3520.00
*
*****

```

```

*****
*
*           STAND 9.4.85
*
*****

```

1. KURZCHARAKTERISTIK

=====

DER SCHREIB- UND LESESPEICHER SPE 2 2016.00 DIENT ZUR SPEICHERUNG VARIABLER DATEN WAEHREND DES PROGRAMMABLAUFES UND ZUR SPEICHERUNG VON FESTDATEN IN MIKRORECHNERN AUF DER BASIS DES K 1520-BUSSYSTEMS. DIE SPE 2 BEINHALTET EINEN 32K-BYTE GROSSEN HALBLEITERSPEICHER(RAMD) SOWIE JE NACH VERWENDETEN SPEICHERTYP EINEN 8K-BYTE BZW. 16K-BYTE GROSSEN PROGRAMMIERBAREN FESTWERTSPEICHER (EPROM). NEBEN DEN ZUR ENTKOPPLUNG, AUSWAHL UND ANSTEUERUNG ERFORDERLICHEN BIPOLAREN SCHALTKREISEN VERFUEGT SIE UEBER EINE ZUSATZLICHE EINRICHTUNG, MIT DEREN HILFE WAHLWEISE DER ZUGRIFF AUF DIE STECKEINHEIT BEEINFLUSST ODER EIN SCHREIBSCHUTZ AUSGELOESST WERDEN KANN. DIE EPROM'S SIND AUSWECHSELBAR IN 24-POLIGEN STECKFASSUNGEN UNTERGEBRACHT.

2. TECHNISCHE DATEN

=====

LEITERKARTENFORMAT: 215 X 170 MM
 SPEICHERKAPAZITAET: 32K-BYTE DYNAMISCHER RAM
 8K-BYTE/16K-BYTE EPROM
 SPEICHERSCHALTKREISTYP: U 256 D (DYNAMISCHER RAM)
 I 2708 C BZW. I 2716 C (EPROM)
 BETRIEBSARTEN: "LESEN" UND "SCHREIBEN" ALS ABGESCHLOSSENE ZYKLEN IN BELIEBIGER REIHENFOLGE BEIM RAM UND "LESEN" BEIM EPROM. EINE STATISCHE ANSTEUERUNG DES SPEICHERS UEBER EINEN ZEITRAUM VON >0,4 MILLISEK. IST NICHT ZULAESSIG FUER DEN DYNAMISCHEN SPEICHERTEIL.
 DATENERHALT: DIE INFORMATION DES DYN. SPEICHERTEILS GEHT BEI ABSCHALTUNG DER BETRIEBSSPANNUNG VERLOREN. IM BETRIEBSZUSTAND MUSS DURCH GEEIGNETE ANSTEUERUNG (REFRESH-STEUERUNG) DES SPEICHERS JEDE SPEICHERZELLE DER STECKEINHEIT IM ABSTAND VON <2 MILLISEKUNDEN REGENERIERT WERDEN. EINE ENERGIEUNABHAENIGIGE DATENSPEICHERUNG LIEGT BEI DEN ROM-SPEICHERN VOR.
 STROMVERSORGUNG: 5P = 5V +/-5%
 5N = -5V +/-5%
 12P = 12V +/-5%

3. PROGRAMMIERUNG DER STECKEINHEIT

=====

DIE PROGRAMMIERUNG DER STECKEINHEIT ERFOLGT DURCH EINE ENTSPRECHENDE VERBINDUNG DER WICKELSTIFTE BZW. MIT HILFE VON DIL-KLEINSCHALTEN UND IST VOM JEWEILIGEN ANWENDUNGSFALL ABHAENIG.

3.1 FESTLEGUNG DER PERIPHERIEADRESSE

DIE PERIPHERIEADRESSE FUER DIE ZUGRIFFS-BZW. SCHREIBSCHUTZSTEU-
 ERUNG IST EINE 16-BIT-AUSGABE-ADRESSE.
 DIE ZUGRIFFS-BZW. SCHREIBSCHUTZSTEUERUNG BENOETIGT JEWELNS ZWEI
 PERIPHERIEADRESSEN FUER DIE AUSWAHL DES ZUSTANDES. BEI AUSGABE
 AN EINE UNGERADE PERIPHERIEADRESSE WIRD DIE FREIGABE UND BEI
 AUSGABE AN EINE GERADE PERIPHERIEADRESSE WIRD DIE SPERRE FUER
 DEN JEWILIGEN SPEICHERBEREICH REALISIERT.
 DIE PERIPHERIEADRESSE IST BELIEBIG WAEHLBAR, WOBEI DER HOEHER-
 WERTIGE TEIL DER ADRESSE DURCH DIE BRUECKEN X5203 UND X5206 ENT-
 SPRECHEND TABELLE 1 BESTIMMT WIRD.

TABELLE 1:

```

*****
*   HOEHERER TEIL DER * X5203 * X5204 * X5205 * X5206 *
*   PERIPHERIEADRESSE *      *      *      *      *
*****
*           0X          *    1    *    1    *    1    *    1    *
*****
*           1X          *    2    *    1    *    1    *    1    *
*****
*           2X          *    1    *    2    *    1    *    1    *
*****
*           3X          *    2    *    2    *    1    *    1    *
*****
*           .           *      *      *      *      *
*           .           *      *      *      *      *
*****
*           DX          *    2    *    1    *    2    *    2    *
*****
*           EX          *    1    *    2    *    2    *    2    *
*****
*           FX          *    2    *    2    *    2    *    2    *
*****

```

DER NIEDERWERTIGE TEIL DER ADRESSE WIRD PAARWEISE DURCH DIE
 BRUECKE X5210 (ROM) UND X5211 (RAM) ENTSPRECHEND TABELLE 2 GE-
 BILDET.

TABELLE 2:

```

* NIEDERWERTIGER TEIL *   ROM-TEIL   *   RAM-TEIL   *
* DER PERIPHERIEADR. * X5216-X5210 * X5216-X5211 *
*****
*      X0,X1          *   17-76     *   17-84     *
*****
*      X2,X3          *   18-77     *   18-85     *
*****
*      X4,X5          *   19-78     *   19-86     *
*****
*      X6,X7          *   20-79     *   20-87     *
*****
*      X8,X9          *   21-80     *   21-88     *
*****
*      XA,XB          *   22-81     *   22-89     *
*****
*      XC,XD          *   23-82     *   23-90     *
*****
*      XE,XF          *   24-83     *   24-91     *
*****

```

DURCH SCHUTZMASSNAHMEN WIRD BEI UEBEREINANDERLIEGENDEN ROM- UND
 RAM-TEIL UND GLEICHZEITIGER FREIGABE BEIDER SPEICHERTEILE EINE

ZERSTOERUNG DER SPEICHERSCHALTKREISE VERHINDERT.

3.2 FESTLEGUNG DER RAM-ANORDNUNG

MIT DEM DIL-KLEINSCHALTER S5202/1-4 WIRD DEM RAM-SPEICHER EIN ZUSAMMENHAENGENDER ADRESSBEREICH VON 32K-BYTE MIT EINER 4K-BYTE-WEISE WAEHLBAREN ANFANGSADRESSE ZUGEWIESEN.

ANFANGSADRESSE	*	BRUECKE
0000	*	KEINE
1000	*	1
2000	*	2
.	*	.
.	*	.
.	*	.
7000	*	1,2,3
8000	*	4

ALS "BRUECKE" IST DER GESCHLOSSENE SCHALTER ANZUSEHEN.

3.3 FESTLEGUNG DER ROM-ANORDNUNG

MIT DEM DIL-KLEINSCHALTER S5201/1-4 WIRD DEM ROM-SPEICHER EIN ZUSAMMENHAENGENDER ADRESSBEREICH VON 8K-BYTE BZW. 16K-BYTE MIT EINER 4K-BYTE-WEISE WAEHLBAREN ANFANGSADRESSE ZUGEWIESEN.

ANFANGSADRESSE	*	BRUECKE
0000	*	KEINE
1000	*	1
2000	*	2
.	*	.
.	*	.
.	*	.
7000	*	1,2,3
8000	*	4

ALS "BRUECKE" IST DER GESCHLOSSENE SCHALTER ANZUSEHEN.

3.4 MEMDI-AUSWAHLSCHALTUNG

DURCH EINE EXTERNE TORAUSSWAHL WIRD DAS ANSPRECHEN DER EINZELNEN MEMDI-SIGNALE DES K1520-BUSSES UND SOMIT DIE SPERRUNG BZW. FREIGABE VON MEHRFACH BELEGTEN ADRESSBEREICHEN MOEGLICH. AUF DER SPE 2 ERFOLGT MIT MEMDI DIE SPERRUNG BZW. FREIGABE DER GESAMTEN SPEICHERKARTE. IST DIE SPEICHERKARTE FREIGEgeben (MEMDI=HIGH), SO IST MIT MEMDI 1 EIN SPERREN BZW. FREIGEBEN DES RAM-SPEICHERBLOCKES UND MIT MEMDI 2 EIN SPERREN BZW. FREIGEBEN DES ROM-SPEICHERBLOCKES MOEGLICH.

3.5 PROGRAMMIERUNG DES EPROM-SPEICHERFELDES

ENTSPRECHEND DER VERWENDETEN EPROM-SCHALTKREISE I2708 BZW. I2716 SIND BEI X5212 BIS X5215, X5221 UND X5222 FUER I2708 DIE VERBINDUNGEN 2 UND FUER I2716 DIE VERBINDUNGEN 1 ZU REALISIEREN.

3.6 ANFANGSINITIALISIERUNG

MIT X5207 (FUER ROM-SPEICHER) UND X5208 (FUER RAM-SPEICHER) KANN FESTGELEGT WERDEN, OB EINE ANFANGSINITIALISIERUNG ERFOLGT.

X5207 BZW. X5208 NICHT GEBRUECKT: MIT ANFANGSINITIALISIERUNG
GEBRUECKT: KEINE ANFANGSINITIALISIERUNG
NOTWENDIG, SPEICHER NACH EIN-SCHALTEN BZW. RESET GESPERRT

3.7 SCHREIBSPERRE ODER ZUGRIFFSSPERRE/FREIGABE

MIT X5209 IST ES MOEGlich, EINE ZUGRIFFSSPERRE/FREIGABE ODER EINEN SCHREIBSCHUTZ FUER DEN RAM-TEIL ZU REALISIEREN. BEI VERBINDUNG 1 ENTSTEHT EINE ZUGRIFFSSPERRE FUER DEN RAM-TEIL, DIE DURCH ENTSPRECHENDE OUT-BEFEHLE BZW. DURCH MEMDI 1 GESTEUERT WERDEN KANN. BEI VERBINDUNG 2 ENTSTEHT EIN SCHREIBSCHUTZ FUER DEN RAM-TEIL, DER DURCH ENTSPRECHENDE OUT-BEFEHLE GESETZT ODER AUFGEHOBEN WERDEN KANN. DABEI WIRD DER INHALT DES A-REGISTERS AUF DEN HOEHERWERTIGEN ADRESSBUS GELEGT UND UEBER DIE ADRESSE A0 ERFOLGT DIE FREIGABE (A0=1) BZW. SPERRUNG (A0=0) DES IM A-REGISTER ANGEWAELHTEN BEREICHES.

3.8 AUFSTELLUNG DER STECKVERBINDERBELEGUNG UND PROGRAMMIERFELDER

XS5201: SYSTEMBUS K1520 NACH TGL 37271/01
XS5202: KOPPELBUS K1520 NACH TGL 37271/01

X5203 BIS X5206: OBERES NIPPEL DER PERIPHERIEADRESSE
X5207: FESTLEGUNG ANFANGSINITIALISIERUNG ROM
X5208: FESTLEGUNG ANFANGSINITIALISIERUNG RAM
X5209: FESTLEGUNG SCHREIBSPERRE ODER ZUGRIFFSSPERRE
X5210 UND X5216: UNTERES NIPPEL DER PERIPHERIEADRESSE ROM
X5211 UND X5216: UNTERES NIPPEL DER PERIPHERIEADRESSE RAM
X5212 BIS X5215: AUSWAHL EPROM-TYP
X5221 UND X5222: AUSWAHL EPROM-TYP

3.9 PROGRAMMIERBEISPIELE FUER FREIGABE UND SPERRUNG DER SPEICHER

3.9.1 FREIGABEPROGRAMM FUER ROM-BEREICH

```
ROM: LD A, 040H ; ANFANGSADRESSE
      OUT 0B1H ; FREIGABE 1KBYTE MIT ENTSPR. AUSGABEADR.
      ADD 004H ; NAECHSTER BEREICH
      CMP 080H ; ENDE DES FREIZUGEBENDEN ROM-BEREICHES
      JRNZ ROM+2 ; SCHLEIFE
      RET
```

3.9.2 SPERRUNG DES ROM-BEREICHES

```
SPE: LD A, BER ; ZU SPERRENDER BEREICH
```

OUT ØBØH ;SPERRE 1KBYTE
RET

FUER "BER" IST DIE ANFANGSADRESSE DES ZU SPERRENDEN SPEICHERBEREICHES EINZUSETZEN.

3.9.3 FREIGABEPROGRAMM FUER RAM-BEREICH

RAM: LD A,Ø4ØH ;ANFANGSADRESSE RAM-BEREICH
OUT ØB3H ;FREIGABE 1KBYTE
ADD ØØ4H ;NAECHSTER BEREICH
JRNZ RAM+2 ;SCHLEIFE
RET

3.9.4 SPERRUNG RAM-BEREICH

RSP: LD A,BER ;ZU SPERRENDER RAM-BEREICH
OUT ØB2H ;SPERRE 1KBYTE
RET

FUER "BER" IST DIE ANFANGSADRESSE DES ZU SPERRENDEN RAM-BREICHES EINZUSETZEN.

4. FUNKTIONSBESCHREIBUNG

=====

4.1 VERWENDUNGSZWECK

DIE SPE 2 IST IN EINEM MIKRORECHNER MIT K152Ø-BUSSYSTEM ALS KOMBINIRTER OPERATIVSPEICHER (DYNAMISCHER SCHREIB-LESE-SPEICHER) UND ALS PROGRAMMIERBARER FESTWERTSPEICHER (NUR-LESE-SPEICHER) EINSETZBAR.

4.2 FUNKTION

DIE SPE 2 BEINHALTET DIE FUNKTIONSGRUPPEN SPEICHERMATRIX (RAM UND EPROM), EIN-UND AUSGABEPUFFER SOWIE STEUER-UND AUSWAHLELEKTRONIK. FUER DEN DYNAMISCHEN SPEICHERTEIL IST KEINE EIGENE REGELERSTEUERUNG VORHANDEN. DIE "REFRESH"-ANSTEUERUNG UND DIE BEBEREITSTELLUNG DER "REFRESH"-ADRESSE ERFOLGT UEBER DEN K152Ø-SYSTEMBUS.

DER RAM-SPEICHER BESTEHT AUS EINER ANORDNUNG VON 2 X 8 SPEICHERBAUSTEINEN U256D UND DER ROM-SPEICHER BESTEHT AUS 8 24-POLIGEN STECKFASSUNGEN, DIE WAHLWEISE MIT DEN SPEICHERBAUSTEINEN U27Ø8C ODER U2716C BESTUECKT WERDEN KOENNEN.

IM SPEICHERTEIL LIEGEN DIE ADRESSEINGAENGE UND DER STEUEREINGANG /WE (NUR BEI DYN. SPEICHERTEIL) PARALLEL AN ALLEN SPEICHERBAUSTEINEN AN UND WERDEN VON DEN ENTSPRECHENDEN BUS-SIGNALEN BZW. VON DEN SIGNALEN DER STEUERELEKTRONIK GESTEUERT.

ALLE BUSSIGNALE WERDEN DEN FORDERUNGEN DES STANDARTS "LINIEN-INTERFACE BUS K152Ø-SYSTEMBUS" (TGL 37271) ENTSPRECHEND GEPUEFERT.

DIE BILDUNG VON /RDY ERFOLGT NACH DEN IM STANDART TGL37271 FESTGELEGTE RICHTLINIEN MIT DER AUSNAHME, DASS FUER E/A-EINHEITEN AUCH DAS SIGNAL /WR MIT IN DIE /RDY-BILDUNG EINBEZOGEN WIRD.

DER ADDIERERSCHALTKREIS 7483 (K155IM3) REALISIERT DIE ADRESSUMRECHNUNG IN ABHAENIGKEIT VON DER STELLUNG DER DIL-KLEINSCHALTER S52Ø1/1-4 FUER DEN ROM-SPEICHER UND S52Ø2 FUER DEN RAM-SPEICHER. IM ROM-TEIL ERFOLGT DAMIT DIE DIREKTE ANSTEUERUNG EINES 1 AUS 8-BINAERDEKODERS DS82Ø5, WOMIT DIE BILDUNG DER /CS-SIGNALE FUER JEDEN ROM-SPEICHERSCHALTKREIS ERFOLGT.

IM RAM-TEIL ERFOLGT IM ANSCHLUSS AN DEN 7483 DIE BILDUNG VON /RAS, DIE ANSTEUERUNG DER ADRESSMULTIPLEXER UND DIE BILDUNG VON /CAS.

IST DIE SPE 2 SO PROGRAMMIERT, DASS EINE ANFANGSINITIALISIERUNG STATTFINDET, SO IST DIE SPEICHERKARTE NACH DEM EINSCHALTEN DES GESAMTEN GERAETESYSTEMS BZW. NACH JEDEM RESET VOLLSTAENDIG GESPERRT UND ES MUSS UEBER DIE ENTSPRECHENDEN OUT-BEFEHLE EINE FREIGABE DER GEWUENSCHTEN SPEICHERBEREICHE ERFOLGEN. DIE GRUNDLAGE FUER DIE ZUGRIFFS-/SCHREIBSCHUTZSTEUERUNG UEBER OUT-BEFEHLE BILDET JE EIN ZUSAETZLICHER SPEICHERSCHALTKREIS U 215 D FUER DEN RAM- UND ROM-SPEICHERTEIL. IN IHM WIRD WAEHREND EINES INITIALISIERUNGSPROGRAMMS DER BEREICH EINGESCHRIEBEN, FUER DEN DIE STEUERUNG WIRKSAM WERDEN SOLL. DAZU WIRD UEBER EINE FREI WAEHLBARE PERIPHERIE-DEKODIERUNG (A2-A7) DER BAUSTEIN SELEKTIERT UND UEBER DIE ADRESSLEITUNGEN A10-A15 ADRESSIERT. DIE ADRESSLEITUNG A0 LIEGT DABEI AUF DEN DATENEINGAENGEN DER SCHALTKREISE U 215 D. SIE ENTSCHEIDET, OB DER ADRESSIERTE BEREICH GESPERRT ODER FREI-GEGEBEN WIRD, WOBEI EINE LOGISCHE 0 AN A0 DER SPERRE UND EINE LOGISCHE 1 AN A0 DER FREIGABE ENTSPRICHT. ZUR ABBLOCKUNG VON KURZ- UND LANGZEITIGEN STOERUNGEN DER BETRIEBSSPANNUNGEN SIND STUETZ- UND SIEBKONDENSATOREN IN DEN LEITUNGSFUEHRUNGEN AUF DER SPE 2 EINGESETZT.

4.3 AUSLIEFERVARIANTE

DIE SPE 2 WIRD VOM HERSTELLER MIT FOLGENDER VORPROGRAMMIERUNG AUSGELIEFERT:

DER EPROM-TEIL IST FUER DEN EPROM-TYP I2708 PROGRAMMIERT.

DIE AUSGABEADRESSEN ZUR SPEICHERSPERRUNG BZW.FREIGABE SIND:

	*	ROM	*	RAM

SPERRUNG	*	0B0H	*	0B2H

FREIGABE	*	0B1H	*	0B3H

DIE PROGRAMMIERFELDER X5207, X5208 UND X5209 SIND NICHT GEWICKELT